

4 / 5

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-054658

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

H01L 23/14

(21)Application number : 09-204534

(71)Applicant : HITACHI LTD  
HITACHI HOKKAI  
SEMICONDUCTOR LTD

(22)Date of filing : 30.07.1997

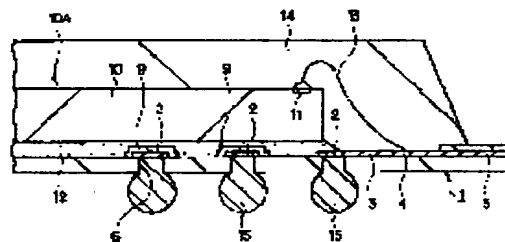
(72)Inventor : FUJISAWA ATSUSHI  
KONNO TAKASHI  
OSAKA SHINGO  
HARUTA AKIRA  
ICHIHARA MASAHIRO

## (54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF AND FRAME STRUCTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress warp, distortion, or the like, of a base board by dividing an insulation film into a plurality of subsections on the surface of the base board and arranging the insulation film on a wiring conductor.

**SOLUTION:** Wiring conductors comprising a plurality of electrode pads 2 for connection with bumps, a wiring 3, electrode pads 4 for connection with wire, and a wiring 5 for plating are arranged on one surface of a base board 1. An insulation film 9 is arranged on the upper surface each of the plurality of electrode pads 2 for connection with bumps in the wiring conductors. The insulation film 9 is divided into a plurality of subsections scattered in the chip mounting region on one surface of the base board 1. More specifically, the insulation film 9 is divided into a plurality of subsections in the chip mounting region on one surface of the base board 1 and arranged on the electrode pads 2 for connection with bumps. According to the structure, deformation of the base board 1 is suppressed and short circuit between the wiring conductor of the base board 1 and a semiconductor chip 10 can be prevented.



## LEGAL STATUS

[Date of request for examination]

23.04.2003

[Date of sending the examiner's decision of rejection]

(19)日本国特許庁(J.P.)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-54658

(43)公開日 平成11年(1999)2月26日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 23/14

H 0 1 L 23/14

R

審査請求 未請求 請求項の数22 O L (全 18 頁)

(21)出願番号

特願平9-204534

(22)出願日

平成9年(1997)7月30日

(71)出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人

000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72)発明者

藤沢 教

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(72)発明者

今野 貴史

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74)代理人

弁理士 秋田 収喜

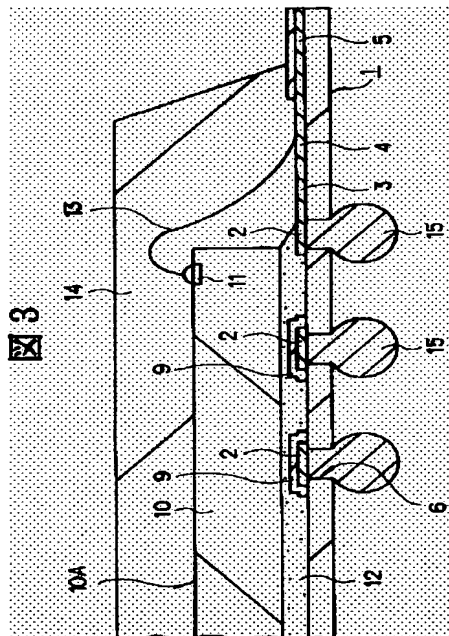
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法並びにフレーム構造体

## (57)【要約】

【課題】 可撓性フィルムからなるベース基板1上の全域に絶縁膜を配置した場合、ベース基板1に反り、歪み等の変形が生じる。

【解決手段】 可撓性フィルムからなるベース基板1の一表面に配線導体(バンプ接続用電極パッド2、配線3、ワイヤ接続用電極パッド4、メッキ用配線5)が配置され、前記可撓性フィルムの表面上に接着材12を介して半導体チップ10が搭載される半導体装置であって、前記配線導体上に絶縁膜9を複数個に分割して配置する。



## 【特許請求の範囲】

【請求項1】 可撓性フィルムからなるベース基板の一表面に配線導体が配置され、前記可撓性フィルムの表面上に接着材を介在して半導体チップが搭載される半導体装置であって、前記配線導体上に絶縁膜を分割して配置したことを特徴とする半導体装置。

【請求項2】 可撓性フィルムからなるベース基板の一表面のチップ搭載領域に配線導体が配置され、前記ベース基板の一表面のチップ搭載領域上に接着材を介在して半導体チップが搭載される半導体装置であって、前記配線導体上に絶縁膜を分割して配置したことを特徴とする半導体装置。

【請求項3】 可撓性フィルムからなるベース基板の一表面のチップ搭載領域及び前記ベース基板の一表面のチップ搭載領域の周囲を囲むその周辺領域に配線導体が配置され、前記ベース基板の一表面のチップ搭載領域上に接着材を介在して半導体チップが搭載される半導体装置であって、前記配線導体上に絶縁膜を分割して配置したことを特徴とする半導体装置。

【請求項4】 可撓性フィルムからなるベース基板の一表面のチップ搭載領域に配線及びバンパ接続用電極パッドが配置され、前記ベース基板の一表面のチップ搭載領域上に接着材を介在して半導体チップが搭載される半導体装置であって、前記配線上又は前記バンパ接続用電極パッド上に絶縁膜を分割して配置したことを特徴とする半導体装置。

【請求項5】 可撓性フィルムからなるベース基板の一表面のチップ搭載領域に配線及びバンパ接続用電極パッドが配置され、前記ベース基板の一表面のチップ搭載領域上に接着材を介在して半導体チップが搭載される半導体装置であって、前記配線上及び前記バンパ接続用電極パッド上に絶縁膜を分割して配置したことを特徴とする半導体装置。

【請求項6】 前記半導体チップの外部端子は、前記ベース基板の一表面のチップ搭載領域を囲むその周辺領域に配置されたワイヤ接続用電極パッドにワイヤを介して電気的に接続され、前記半導体チップ、前記ワイヤ及び前記ワイヤ接続用電極パッドは樹脂封止体で封止されていることを特徴とする請求項4又は請求項5に記載の半導体装置。

【請求項7】 前記バンパ接続用電極パッドには、前記ベース基板に形成された接続孔を通して、前記ベース基板の一表面と対向するその裏面側に配置されたバンパ電極が接続されていることを特徴とする請求項4乃至請求項6のうちいずれか1項に記載の半導体装置。

【請求項8】 可撓性フィルムからなるベース基板の一表面のチップ搭載領域に接着材を介在して半導体チップが搭載され、前記ベース基板の一表面のチップ搭載領域を囲むその周辺領域にワイヤ接続用電極パッドが配置され、前記ベース基板の一表面の周辺領域において前記半

導体チップと前記ワイヤ接続用電極パッドとの間の領域に配線が配置され、前記半導体チップの外部端子と前記ワイヤ接続用電極パッドとがワイヤを介して電気的に接続される半導体装置であって、前記配線上に絶縁膜を分割して配置したことを特徴とする半導体装置。

【請求項9】 前記半導体チップ、前記ワイヤ及び前記ワイヤ接続用電極パッドは樹脂封止体で封止されていることを特徴とする請求項8に記載の半導体装置。

【請求項10】 前記ベース基板の一表面のチップ搭載領域にはバンパ接続用電極パッドが配置され、このバンパ接続用電極パッドの裏面には、前記ベース基板に形成された接続孔を通して、前記ベース基板の一表面と対向するその裏面側に配置されたバンパ電極が接続されていることを特徴とする請求項8又は請求項9に記載の半導体装置。

【請求項11】 可撓性フィルムからなるベース基板の一表面のチップ搭載領域にベントホールが設けられ、前記ベース基板の一表面のチップ搭載領域上に接着材を介在して半導体チップが搭載される半導体装置であって、前記ベース基板の一表面のチップ搭載領域に、前記ベントホールの周囲を囲むダムが設けられていることを特徴とする半導体装置。

【請求項12】 前記ダムは、前記ベース基板の中心からずれた位置に配置されていることを特徴とする請求項11に記載の半導体装置。

【請求項13】 半導体装置の製造方法であって、枠体で規定された領域内にフィルム基材が配置され、前記フィルム基材の一表面に配線導体が形成されたフレーム構造体を用いて行うことを特徴とする半導体装置の製造方法。

【請求項14】 前記フィルム基材は前記枠体の接着領域に接着材を介在して固定され、前記枠体の接着領域にはスリットが設けられていることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】 前記配線導体上には絶縁膜が分割して配置されていることを特徴とする請求項13又は請求項14に記載の半導体装置の製造方法。

【請求項16】 枠体で規定された領域内にフィルム基材が配置され、前記フィルム基材の一表面のチップ搭載領域に配線及びバンパ接続用電極パッドが形成され、前記配線と前記バンパ接続用電極パッドのうちいずれか一方の上又は両方の上に絶縁膜が分割して配置されたフレーム構造体を準備する工程と、前記フィルム基材の一表面のチップ搭載領域に接着層を介在して半導体チップを搭載する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項17】 枠体で規定された領域内にフィルム基材が配置され、前記フィルム基材の一表面のチップ搭載領域にバンパ接続用電極パッドが配置され、前記フィルム基材の一表面のチップ搭載領域の周囲を囲むその周辺

領域にワイヤ接続用電極パッドが配置され、前記フィルム基材の一表面に前記バンプ接続用電極パッドと前記ワイヤ接続用電極パッドとを電氣的に接続する配線が配置され、前記配線と前記バンプ接続用電極パッドのうちいずれか一方の上又は両方の上に絶縁膜が分割して配置され、前記フィルム基材に前記バンプ接続用電極パッドの裏面を露出する接続孔が形成されたフレーム構造体を準備する工程と、

前記フィルム基材の一表面のチップ搭載領域上に接着材を介在して半導体チップを搭載する工程と、

前記半導体チップの外部端子と前記ワイヤ接続用電極パッドとをワイヤで電氣的に接続する工程と、

前記半導体チップ、前記ワイヤ接続用電極パッド、前記配線及び前記ワイヤを樹脂封止体で封止する工程と、

前記バンプ接続用電極パッドの裏面に前記接続孔を通してバンプ電極を接続する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項18】 枠体で規定された領域内にフィルム基材を有するフレーム構造体と、ランナーが延在する領域に、前記枠体が装着される第1段差部及び前記フィルム基材が装着される第2段差部を有する成形金型を準備する工程と、前記成形金型の第1段差部に前記フレーム構造体の枠体を装着し、かつ前記成形金型の第2段差部に前記フレーム構造体のフィルム基材を装着した状態で、前記フィルム基材の一表面上に樹脂封止体を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項19】 枠体で規定された領域内にフィルム基材を有するフレーム構造体を準備する工程と、前記フィルム基材の一表面上に搭載された半導体チップを封止する樹脂封止体をトランスファモールド法で形成する工程と、前記フィルム基板の一表面にランナー樹脂を残した状態にて、前記フィルム基板の一表面と対向するその裏面側にバンプ電極を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項20】 枠体と、一表面に配線導体が形成されたフィルム基材とを有し、前記フィルム基材が前記枠体で規定された領域内に配置されていることを特徴とするフレーム構造体。

【請求項21】 前記フィルム基材は前記枠体の接着領域に接着材を介在して固定され、前記枠体の接着領域にはスリットが設けられていることを特徴とする請求項20に記載のフレーム構造体。

【請求項22】 前記配線導体上には絶縁膜が分割して配置されていることを特徴とする請求項20又は請求項21に記載のフレーム構造体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、可撓性フィルムからなるベース基板を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】多ピン化に好適な半導体装置として、BGA(Ball Grid Array)構造の半導体装置が開発されている。このBGA構造の半導体装置は、ベース基板の一表面のチップ搭載領域上に接着材を介在して半導体チップを搭載し、ベース基板の一表面と対向するその裏面側に複数のバンプ電極を格子状に配置した構成になっている。

【0003】前記ベース基板は、例えば、ガラス繊維にエポキシ樹脂、ポリイミド樹脂、マレイミド樹脂等を含浸させた硬質の樹脂基板(リジット基板)で形成されている。ベース基板の一表面のチップ搭載領域の周囲を囲むその周辺領域には複数のワイヤ接続用電極パッドが配置されている。また、ベース基板の裏面には複数のバンプ接続用電極パッドが配置されている。このバンプ接続用電極パッドには、例えばPb-Sn組成の半田材からなるバンプ電極が固着され、電氣的にかつ機械的に接続されている。

【0004】前記半導体チップは、例えば単結晶珪素からなる半導体基板を主体とする構成になっている。半導体チップには、論理回路システム、記憶回路システム、或はそれらの混合回路システムが搭載されている。また、半導体チップの主面(素子形成面)には複数の外部端子(ボンディングパッド)が配置されている。この外部端子は、ベース基板の一表面に配置されたワイヤ接続用電極パッドにワイヤを介して電氣的に接続されている。

【0005】前記半導体チップ、ワイヤ及びワイヤ接続用電極パッド等は、ベース基板の一表面上に形成された樹脂封止体で封止されている。樹脂封止体は、大量生産に好適なトランスファモールド法で形成される。

【0006】このように構成されたBGA構造の半導体装置は、実装基板の実装面に形成された電極パッドにそのバンプ電極を溶融接続することにより、実装基板の実装面上に実装される。

【0007】なお、前記BGA構造の半導体装置については、例えば、日経BP社発行の日経エレクトロニクス〔1994年、2月28日号、第111頁乃至第117頁〕に記載されている。

【0008】

【発明が解決しようとする課題】近年、ベース基板として可撓性フィルムを用いたBGA構造の半導体装置が開発されている。このBGA構造の半導体装置は、ベース基板として硬質の樹脂基板を用いた半導体装置に比べて、薄型化、多ピン化及び小型化を図ることができる。しかしながら、本発明者等は、ベース基板として可撓性フィルムを用いた半導体装置の開発中に以下の問題点を見出した。

【0009】可撓性フィルムからなるベース基板は、一般的に、可撓性フィルムのバンプ接続領域に接続孔を形成し、その後、可撓性フィルムの片面側に接着材を介在

して例えば銅(Cu)からなる金属箔を貼り付け、その後、金属箔にパターンニングを施し、パンプ接続用電極パッド、配線、ワイヤ接続用電極パッド及びメッキ用配線等からなる配線導体を形成し、その後、配線導体を保護する絶縁膜を形成し、その後、パンプ接続用電極パッド及びワイヤ接続用電極パッドにメッキ層を形成するためのメッキ処理を施すことによって形成される。メッキ処理は電解メッキ法で行なわれる。このメッキ処理は、絶縁膜を形成する前の段階において行う場合もある。メッキ層は、例えば、金(Au)/ニッケル(Ni)膜、又はAu/パラジウム(Pd)/Ni膜で形成される。

【0010】前記絶縁膜は、例えば、可撓性フィルムの片面側に感光性樹脂膜を形成し、ベーク処理を施した後、写真印刷技術を使用し、感光処理、現像処理、洗浄処理を施すことにより形成される。絶縁膜は、ワイヤ接続用電極パッドを除いた配線導体上を含む可撓性フィルムの片面側のほぼ全域に形成されている。即ち、可撓性フィルムの片面側のほぼ全域に絶縁膜が形成されるため、ベース基板に反り、歪み等の変形が生じる。このベース基板の変形は、半導体装置の製造プロセス(組立プロセス)中における搬送トラブルの原因となったり、半導体チップを搭載する工程において、接着材の濡れ性を悪くする原因となる。

【0011】前記ベース基板の変形は、絶縁膜の熱膨張係数及び硬化収縮率が大いことが主要因であるが、絶縁膜を形成しない場合は以下の問題が生じる。

【0012】(1) ベース基板の一表面のチップ搭載領域にはパンプ接続用電極パッドが配置されている。このため、ベース基板の一表面のチップ搭載領域に絶縁性の接着材を塗布して半導体チップを搭載する際、接着材の厚さの制御が難しく、パンプ接続用電極パッドに半導体チップが接触し、両者間において短絡が生じる。

【0013】(2) ベース基板の一表面のチップ搭載領域にはパンプ接続用電極パッドが配置され、このパンプ接続用電極パッドには、ベース基板のチップ搭載領域に形成された接続孔を通して、ベース基板の裏面側に配置されたパンプ電極が接続されている。即ち、半導体チップの下部にはパンプ電極が配置されている。

【0014】前記ベース基板のチップ搭載領域に配置されたパンプ接続用電極パッドは、ベース基板の一表面のチップ搭載領域の周囲を囲むその周辺領域に配置されたワイヤ接続用電極パッドに配線を介して一体化され、電気的に接続されている。即ち、ベース基板の一表面の周辺領域において、半導体チップとワイヤ接続用電極パッドとの間の領域には配線が配置されている。このため、半導体チップの外部端子とワイヤ接続用パッドとをワイヤで接続する際、ワイヤとこのワイヤに電気的に接続された配線に隣接する他の配線とが交差する場合がある。ワイヤの高さが充分ある場合は問題ないが、特に、半導体チップの角部において、ワイヤと他の配線とが平行に

なっていない場合や、ワイヤ接続用電極パッド側でワイヤと他の配線とが交差する場合は、ワイヤと他の配線との短絡が生じる可能性がある。

【0015】本発明の目的は、可撓性フィルムからなるベース基板を有する半導体装置において、ベース基板の変形(反り、歪み)を抑制することが可能な技術を提供することにある。

【0016】本発明の他の目的は、可撓性フィルムからなるベース基板を有する半導体装置において、ベース基板の変形を抑制すると共に、ベース基板の配線導体と半導体チップとの短絡を防止することが可能な技術を提供することにある。

【0017】本発明の他の目的は、可撓性フィルムからなるベース基板を有する半導体装置において、ベース基板の変形を抑制すると共に、ベース基板の配線導体とワイヤとの短絡を防止することが可能な技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0020】(1) 可撓性フィルムからなるベース基板の一表面に配線導体が配置され、前記ベース基板の一表面上に接着材を介在して半導体チップが搭載される半導体装置であって、前記ベース基板の一表面上において絶縁膜を複数個に分割し、この絶縁膜を前記配線導体上に配置する。絶縁膜の分割は、例えば配線導体毎に行う。

【0021】(2) 可撓性フィルムからなるベース基板の一表面のチップ搭載領域に配線導体が配置され、前記ベース基板の一表面のチップ搭載領域上に接着材を介在して半導体チップが搭載される半導体装置であって、前記ベース基板上において絶縁膜を複数個に分割し、この絶縁膜を前記配線導体上に配置する。絶縁膜の分割は、例えば配線導体毎に行う。

【0022】(3) 可撓性フィルムからなるベース基板の一表面のチップ搭載領域に接着材を介在して半導体チップが搭載され、前記ベース基板の一表面のチップ搭載領域を囲むその周辺領域にワイヤ接続用電極パッドが配置され、前記ベース基板の一表面の周辺領域において前記半導体チップと前記ワイヤ接続用電極パッドとの間の領域に配線が配置され、前記半導体チップの外部端子と前記ワイヤ接続用電極パッドとがワイヤを介して電気的に接続される半導体装置であって、前記ベース基板の一表面上において絶縁膜を複数個に分割し、この絶縁膜を前記配線上に配置する。

【0023】上述した手段(1)によれば、絶縁膜の膨張及び硬化収縮による応力が緩和されるので、ベース基

板の変形(反り、歪み)を抑制できる。

【0024】上述した手段(2)によれば、ベース基板の一表面のチップ搭載領域に接着材を塗布して半導体チップを搭載する際、配線導体に半導体チップが接触しないので、配線導体と半導体チップとの短絡を防止できる。

【0025】上述した手段(3)によれば、配線にワイヤが接触しないので、ベース基板の配線導体とワイヤとの短絡を防止できる。

【0026】

【発明の実施の形態】以下、本発明の構成について、BGA構造の半導体装置に本発明を適用した実施の形態とともに説明する。なお、実施の形態を説明するための図面において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0027】図1は本発明の一実施形態である半導体装置の平面図であり、図2は図1に示すA-A線の位置で切った拡大断面図であり、図3は図2の要部拡大断面図であり、図4は樹脂封止体を除去した状態の平面図であり、図5はベース基板の平面図であり、図6は前記半導体装置の要部拡大断面図である。

【0028】図1、図2及び図3に示すように、半導体装置は、ベース基板1の一表面のチップ搭載領域上に接着材12を介在して半導体チップ10を搭載し、ベース基板1の一表面と対向するその裏面側に複数のバンパ電極15を格子状に配置した構成になっている。バンパ電極15は例えば63[重量%]Pb-37[重量%]Sn組成の半田材で形成されている。本実施形態の半導体装置は、CSP(Chip Size Package)構造で構成されている。

【0029】前記ベース基板1の平面形状は方形で形成されている。このベース基板1は、例えばエポキシ系の絶縁樹脂若しくはポリイミド系の絶縁樹脂からなる可撓性フィルムで形成されている。ベース基板1は、例えば50[μm]程度の厚さに設定されている。

【0030】前記ベース基板1の一表面には、バンパ接続用電極パッド2、配線3、ワイヤ接続用電極パッド4及びメッキ用配線5等からなる配線導体が配置されている。バンパ接続用電極パッド2及びワイヤ接続用電極パッド4は複数個設けられ、配線3及びメッキ用配線5は複数本設けられている。即ち、ベース基板1の一表面には複数本の配線導体が配置されている。バンパ接続用電極パッド2は配線3を介してワイヤ接続用電極パッド4と一体化され、互いに電氣的に接続されている。メッキ用配線5はワイヤ接続用電極パッド4と一体化され、互いに電氣的に接続されている。バンパ接続用電極パッド2、配線3、ワイヤ接続用電極パッド4及びメッキ用配線5等は、可撓性フィルムの一表面に接着材を介在して例えばCu箔からなる金属箔を貼り付けた後、この金属箔にエッチング処理を施すことによって形成される。

これらのバンパ接続用電極パッド2、配線3、ワイヤ接続用電極パッド4及びメッキ用配線5は、例えば18

[μm]程度の厚さに設定されている。

【0031】前記半導体チップ10の平面形状は方形で形成されている。この半導体チップ10は、例えば単結晶珪素からなる半導体基板を主体とする構成になっている。半導体チップ10には、論理回路システム、記憶回路システム、或いはそれらの混合回路システムが搭載されている。これらの回路システムは、半導体チップ10の主面(素子形成面)10A側に形成された複数の半導体素子を配線で接続することによって形成される。

【0032】前記半導体チップ10の主面10Aには、半導体チップ10の各辺に沿って配列された複数の外部端子(ボンディングパッド)11が配置されている。この複数の外部端子11の夫々は、半導体基板の主面上に形成された配線層のうち、最上層の配線層に形成され、例えばアルミニウム(Al)膜若しくはアルミニウム合金膜で形成されている。また、複数の外部端子11の夫々は、半導体チップ10に搭載された回路システムに電氣的に接続されている。

【0033】前記複数のバンパ接続用電極パッド2のうち、大部分のバンパ接続用電極パッド2はベース基板1の一表面のチップ搭載領域に配置され、その他(残り)のバンパ接続用電極パッド2は、ベース基板1の一表面のチップ搭載領域の周囲を囲むその周辺領域に配置されている。この複数のバンパ接続用電極パッド2の夫々の裏面には、ベース基板1に形成された接続孔6を通して、ベース基板1の裏面側に配置された複数のバンパ電極15の夫々が固着され、電氣的にかつ機械的に接続されている。なお、本実施形態において、バンパ接続用電極パッド2の平面形状は円形状で形成されている。

【0034】前記複数のワイヤ接続用電極パッド4の夫々は、図2、図3及び図4に示すように、ベース基板1の一表面の周辺領域に配置され、半導体チップ10の各辺に沿って配列されている。複数のワイヤ接続用電極パッド4の夫々は、半導体チップ10の主面10Aに配置された複数の外部端子11の夫々にワイヤ13を介して電氣的に接続されている。ワイヤ13としては例えばAuワイヤが用いられている。ワイヤ13は、例えば熱圧着に超音波振動を併用したボンディング法で接続される。

【0035】前記複数本の配線3のうち、ベース基板1の一表面のチップ搭載領域に配置されたバンパ接続用電極パッド2と一体化された配線3はベース基板1の一表面のチップ搭載領域及び周辺領域を延在し、ベース基板1の一表面の周辺領域に配置されたバンパ接続用電極パッド2と一体化された配線3はベース基板1の一表面の周辺領域に延在している。即ち、ベース基板1の一表面の周辺領域において、半導体チップ1とワイヤ接続用電極パッド4との間の領域には配線3が配置されている。

【0036】前記半導体チップ10、配線3、ワイヤ接続用電極パッド4及びワイヤ13等は樹脂封止体14で封止されている。樹脂封止体14は、低応力化を図る目的として、例えばフェノール系硬化剤、シリコンゴム及びフィラーが添加されたエポキシ系の樹脂で形成されている。樹脂封止体14は、大量生産に好適なトランスファモールディング法で形成されている。トランスファモールディング法は、ポット、ランナー、ゲート及びキャビティ等を備えたモールド金型を使用し、ポットからランナー及びゲートを通してキャビティ内に樹脂を加圧注入して樹脂封止体を形成する方法である。

【0037】前記複数のメッキ用配線5の夫々は、ベース基板1の一表面の周辺領域において、ワイヤ接続用電極パッド4の外側に配置されている。この複数のメッキ用配線5の夫々は、半導体チップ10の各辺に沿って配列されている。メッキ用配線5の一部分は樹脂封止体14の内部に配置され、他の部分は樹脂封止体樹脂封止体の外側に配置されている。

【0038】前記ベース基板1の一表面のチップ搭載領域に配置された複数のバンプ接続用電極パッド2の夫々の上面には、図2、図3及び図5に示すように、絶縁膜9が配置されている。この絶縁膜9は、ベース基板1の一表面のチップ搭載領域において、バンプ接続用電極パッド2毎に分割されている。絶縁膜9は、ベース基板1の一表面のチップ搭載領域において点状に複数個に分割されている。即ち、本実施形態の半導体装置は、ベース基板1の一表面のチップ搭載領域において絶縁膜9を複数個に分割し、この絶縁膜9をバンプ接続用電極パッド2上に配置している。なお、本実施形態において、バンプ接続用電極パッド2上に配置された絶縁膜9の平面形状は円形状で形成されている。

【0039】前記ベース基板1の一表面の周辺領域に配置された複数のメッキ用配線5の夫々の上面には、絶縁膜9が配置されている。この絶縁膜9は、ベース基板1の各辺に沿って延在し、ベース基板1の各辺毎に分割されている。絶縁膜9は、ベース基板1の周辺領域において点状に複数個に分割されている。即ち、本実施形態の半導体装置は、ベース基板1の一表面の周辺領域において絶縁膜9を複数個に分割し、この絶縁膜9をメッキ用配線5上に配置している。

【0040】前記メッキ用配線5上に配置された絶縁膜9の一部分は樹脂封止体14の内部に配置され、他の部分は樹脂封止体14の外側に配置されている。即ち、メッキ用配線5と樹脂封止体14との間には絶縁膜9が介在されている。

【0041】前記ベース基板1のチップ搭載領域には、図5及び図6に示すように、ベントホール7が設けられている。このように、ベース基板1のチップ搭載領域にベントホール7を設けることにより、ベース基板1の一表面のチップ搭載領域上に接着材12を塗布して半導体

チップ10を搭載する際、接着材12の硬化時に発生するアウトガスを外部に放出することができる。また、半導体装置の製品完成後の環境試験である温度サイクル試験時の熱や実装基板の実装面上に半導体装置を実装する実装時の熱によって接着材12に発生した水蒸気を外部に放出することができる。

【0042】前記ベース基板1の一表面のチップ搭載領域上には、ベントホール7の周囲を囲むダム8が設けられている。本実施形態のダム8は、導電膜8A及びこの導電膜8A上に配置された絶縁膜9で構成されている。

【0043】前記ベントホール7は、図5に示すように、ベース基板1のX方向（図中、横方向）の中心線P1及びベース基板1のY方向（図中、縦方向）の中心線P2からずれた位置に配置されている。即ち、ベントホール7は、ベース基板1の中心からずれた位置に配置されている。このように、ベントホール7をベース基板1の中心からずれた位置に配置することにより、ベース基板1の裏面側から半導体装置を見た場合、インデックスとして方向を明確化できる。また、インデックスとして方向を明確化できるので、ベントホール7をインデックスとして兼用できる。

【0044】次に、前記半導体装置の製造プロセスで用いられるフレーム構造体について説明する。

【0045】図7（要部平面図）に示すように、フレーム構造体20は、これに限定されないが、例えば枠体21で規定された領域を一方向に複数個配置した多連フレーム構造で構成されている。枠体21で規定された各領域内にはフィルム基材1Aが配置されている。本実施形態のフィルム基材1Aは四つの樹脂封止領域22を備えている。即ち、枠体21で規定された各領域内には四つの製品を形成するためのフィルム基材1Aが配置されている。なお、樹脂封止領域22には、図5に示す配線導体パターンが形成されている。

【0046】前記枠体21は、板材にエッチング加工又はプレス打抜き加工を施すことにより形成される。板材としては、例えばCu系合金材からなるものを用いる。

【0047】前記フィルム基材1Aは、図7及び図8（図7に示すB-B線の位置で切った断面図）に示すように、枠体21の互いに対向する2箇所の接着領域に接着材24を介在して固定されている。枠体21の夫々の接着領域にはスリット23が設けられている。このスリット23は、フレーム構造体20の長手方向に所定の間隔を置いて複数個配置されている。このように、枠体21の接着領域にスリット23を設けることにより、枠体21とフィルム基材1Aとの材料の違いによる応力を緩和できるので、フィルム基材1Aの反り、歪み等の変形を抑制できる。

【0048】次に、前記フレーム構造体20の製造方法について、図9及び図10（製造方法を説明するための要部断面図）を用いて説明する。



【0049】まず、図9-(A)に示すように、フィルム基材1Aを準備する。フィルム基材1Aは、例えばエポキシ系の絶縁樹脂若しくはポリイミド系の絶縁樹脂で形成される。次に、図9-(B)に示すように、前記フィルム基材1Aの一表面側に接着材30を貼り付ける。接着材30を使用せず、熱加圧によっても製造できる。

【0050】次に、図9-(C)に示すように、前記フィルム基材1Aの bumps 接続領域に接続孔6を形成すると共に、図示していないが、フィルム基材1Aのチップ搭載領域にベントホール7を形成する。接続孔6及びベントホール7の形成は、例えば金型若しくはレーザ加工等により行う。次に、図9-(D)に示すように、前記フィルム基材1Aの一表面側に接続材30を介在して金属箔(例えばCu箔)31を貼り付ける。フィルム基材1Aに金属箔31を貼り付けた後、金型若しくはレーザ加工等により接続孔6及びベントホール7を形成することもできる。

【0051】次に、前記金属箔31にパターンニングを施し、図9-(E)に示すように、フィルム基材1Aの一表面に bumps 接続用電極パッド2を形成すると共に、図示していないが、配線3、ワイヤ接続用電極パッド4及びメッキ用配線5等を形成する。即ち、この工程において配線導体パターンが形成される。また、この工程において、図示していないが、フィルム基材1Aの一表面のチップ搭載領域に、ベントホール7の周囲を囲む導電膜8Aも形成される。

【0052】次に、図10-(F)に示すように、前記配線導体パターン上を含むフィルム基材1A上の全面に均一な膜厚の感光性樹脂膜32を形成する。感光性樹脂膜32の形成は、感光性樹脂を塗布した後、スクリーン印刷法によって行う。次に、ベーク処理を施した後、写真印刷技術を使用し、感光処理、現像処理、洗浄処理等を施して、図10-(G)に示すように、所定のパターンの絶縁膜9を形成する。この工程において、図5に示すように、複数個に分割された絶縁膜9が配線導体上に配置される。また、この工程において、導電膜8A及びこの導電膜8A上に配置された絶縁膜9からなるダム8も形成される。フィルム基材1A上の全面に絶縁膜9を配置した場合、フィルム基材1A、配線導体、絶縁膜9等の材料特性の違いにより、ベース基板1に反り、歪み等の変形が生じるが、本実施形態のように、絶縁膜9を分割して配置することにより、絶縁膜9の膨張及び硬化収縮による応力が緩和されるので、ベース基板1の変形を抑制できる。

【0053】次に、電解メッキ法でメッキ処理を施し、ワイヤボンディングが可能なメッキ層(例えば、Au/Ni層、Au/Pd/Ni層、Pd/Ni層、Sn/Ni層等)を形成する。この後、フィルム基材1Aを個片化し、枠体21の接着領域に接着材24を用いて貼り付けることにより、図7に示すフレーム構造体が形成され

る。このように、フィルム基材1Aを枠体21の接着領域に貼り付け、枠体21で規定された領域にフィルム基材1Aを有するフレーム構造体20を形成することにより、半導体装置の製造プロセス(組立プロセス)におけるフィルム基材1Aの搬送性が向上すると共に、ハンドリング性が向上する。

【0054】次に、前記半導体装置の製造方法について説明する。

【0055】まず、図7に示すフレーム構造体20を準備する。フレーム構造体20は、枠体21で規定された領域内にフィルム基材1Aを有している。フィルム基材1Aには樹脂封止領域22が配置され、この樹脂封止領域22には、図5に示す配線導体パターンが形成されている。

【0056】次に、図11(要部断面図)に示すように、前記フィルム基材1Aの一表面のチップ搭載領域上に接着材12を介在して半導体チップ10を搭載する。接着材12は、フィルム基板1Aの一表面のチップ搭載領域に多点塗布法で供給される。接着材12としては、例えば、エポキシ系又はポリイミド系の熱硬化性絶縁樹脂を用いる。また、接着材12としては、例えば、エポキシ系又はポリイミド系の熱可塑性絶縁樹脂を用いてもよい。この工程において、フィルム基材1Aのチップ搭載領域には図6に示すベントホール7が設けられているので、接着材12の硬化時に発生するアウトガスを外部に逃すことができる。また、フィルム基材12の一表面のチップ搭載領域上には図6に示すベントホール7の周囲を囲むダム8が設けられているので、接着材12がベントホール7に流れ込むのを堰き止めることができる。この結果、接着材12によるベントホール7の塞ぎを防止できると共に、接着材12がフィルム基材1Aの裏面側に回り込むのを防止できる。また、 bumps 接続用電極パッド2上に絶縁膜9が配置されているので、半導体チップ10が傾いた状態で搭載されたり、接着材12の膜厚が薄くなっても、半導体チップ10が bumps 接続用電極パッド2に接触することはない。また、半導体チップ10が傾いた状態で搭載されたり、接着材12の膜厚が薄くなっても、半導体チップ10は絶縁膜9に接触し、この絶縁膜9によって支持されるので、半導体チップ10が配線3に接触することはない。

【0057】次に、図12(要部断面図)に示すように、前記半導体チップ10の外部端子11とフィルム部材1Aのワイヤ接続用電極パッド4とをワイヤ13で電気的に接続する。ワイヤ13としてはAuワイヤを用いる。

【0058】次に、前記フレーム構造体20を成形金型にセットし、図13(要部断面図)に示すように、成形金型の上型35Aと下型35Bとで形成されるキャビティ36内に、フィルム基材1Aの樹脂封止領域22、半導体チップ10及びワイヤ13等を配置する。成形金型は、図14(要部断面図)に示すように、サブランナー



(幹ランナー)37及び突起38を備え、更に、図示していないが、流入ゲート、メインランナー(主ランナー)、ポットの夫々を備えている。ポットは、メインランナー、サブランナー37、流入ゲートの夫々を通してキャピティ36に連結される。

【0059】前記成形金型の下型35Bは、フレーム構造体20の枠体21が装着される段差部39及びフィルム基材1Aが装着される段差部40を有している。即ち、フレーム構造体20の枠体21は下型35Bの段差部39に装着され、フレーム構造体20のフィルム基材1Aは下型35Bの段差部40に装着される。上型35Aと下型35Bの縦方向の合わせ吸収は、枠体21-接着材24-フィルム基材1Aの構造で行う。

【0060】前記サブランナー37は、詳細に図示していないが、フレーム構造体20の枠体21が装着される段差部39及びフィルム基材1Aが装着される段差部40を横切るように、フレーム構造体20の外側からその内側に向って延在し、流入ゲートを通してキャピティ36に連結されている。前記メインランナーは、フレーム構造体20の外側において、フレーム構造体20の長手方向に沿って延在し、フレーム構造体20の外側に引き出されたサブランナー37の一端側に連結されている。なお、突起38は、サブランナー37内にて硬化した樹脂を切断し易くするために設けられている。この突起38は、フレーム構造体20の枠体21とフィルム基材1Aとで形成される段差部の領域上に位置している。

【0061】次に、前記ポットに樹脂タブレットを投入し、この樹脂タブレットをトランスファモールド装置のプランジャで加圧し、ポットからメインランナー、サブランナー37、流入ゲートの夫々を通してキャピティ36内に樹脂を供給し、樹脂封止体14を形成する。この後、成形金型からフレーム構造体20を取り出す。成型金型から取り出したフレーム構造体20の状態を図15(要部平面図)に示す。図15において、符号41は成形金型のサブランナー37内において硬化したサブランナー樹脂であり、符号42は成形金型のメインランナー内にて硬化したメインランナー樹脂42である。メインランナー樹脂42は、フレーム構造体20の長手方向に沿って延在している。サブランナー樹脂41は、枠体21の外側からその内側に向って延在している。なお、図14は図15に示すC-C線の位置での断面図である。

【0062】次に、前記枠体21の内側に位置するサブランナー樹脂41を残し、それ以外のサブランナー樹脂41及びメインランナー樹脂42を除去する。この状態を図16(要部平面図)に示す。

【0063】次に、図17に示すように、パンプ接続用電極パッド2の裏面に、フィルム基材1Aに形成された接続孔6を通してパンプ電極15を接続する。パンプ電極15は、例えばボール供給法で供給され、赤外線リフ

ロー炉等で熔融することにより接続される。パンプ電極15を形成した後の搬送状態を図18(概略構成図)に示す。フレーム構造体20を多段に積み重ねた場合、上段のフレーム構造体20と下段のフレーム構造体20との間の隙間を上段のフレーム構造体20に設けられたサブランナー樹脂41で確保することができ、下段のフレーム構造体20で製造された半導体装置のパンプ電極15を保護できる。従って、フレーム構造体20を多段に積み重ねた状態で搬送することができるので、フレーム構造体20の搬送性が向上する。また、半導体装置の製造プロセスにおける生産合理性が向上する。

【0064】次に、フィルム基材1Aを所定の形状(ベース基板形状)に切断することにより、フィルム基材1Aからなるベース基板1を有する半導体装置がほぼ完成する。この後、半導体装置は製品として出荷される。製品として出荷された半導体装置は実装基板の実装面上に実装される。

【0065】なお、樹脂封止体14を形成した後、フィルム基材1Aを切断し、個片にした状態にてパンプ電極15の接続を行ってもよい。

【0066】また、メッキ処理は、絶縁膜9を形成する前の段階において行ってもよい。本実施形態のように、絶縁膜9を形成した後の段階においてメッキ処理を行った場合、図19(要部断面図)に示すように、メッキ層33は、ベース基板(フィルム基材1A)1の一表面の周辺領域に配置されたパンプ接続用電極パッド2、配線3、ワイヤ接続用電極パッド4及びパンプ接続用電極パッド2の裏面に形成される。即ち、配線導体と絶縁膜9との間にはメッキ層33が形成されない。絶縁膜9を形成する前の段階においてメッキ処理を行った場合、図20(要部断面図)に示すように、メッキ層33は、ベース基板(フィルム基材1A)1の一表面のチップ搭載領域及び周辺領域に配置されたパンプ接続用電極パッド2、配線3、ワイヤ接続用電極パッド4、メッキ用配線5及びパンプ接続用電極パッド2の裏面に形成される。即ち、配線導体と絶縁膜9との間にメッキ層33が形成される。

【0067】以上説明したように、本実施形態によれば、以下の効果が得られる。

【0068】(1) 配線導体上に絶縁膜9を分割して配置することにより、絶縁膜9の膨張及び硬化収縮による応力が緩和されるので、ベース基板(フィルム基材1A)1の反り、歪み等の変形を抑制できる。

【0069】また、ベース基板1の変形を抑制できるので、半導体装置の製造プロセスにおける歩留まりが向上する。

【0070】(2) ペントホール6の周囲を囲むダム8を設けることにより、接着材12がペントホール7に流れ込むのを堰き止めることができるので、接着材12によるペントホール7の塞ぎを防止できると共に、接着材

12がフィルム基材1Aの裏面側に回り込むのを防止できる。

【0071】(3) ベントホール6をベース基板1の中心からずれた位置に配置することにより、ベース基板1の裏面側から半導体装置を見た場合、インデックスとして方向を明確化できる。

【0072】(4) 絶縁膜9を印刷法で形成することにより、シート状に形成された絶縁膜9を貼り付けて形成する場合に比べて、半導体装置の低コスト化が図れる。

【0073】また、絶縁膜9のパターン形状を自由に設定できるので、半導体装置の生産合理性が向上する。

【0074】(5) 枠体21で規定された領域内にフィルム基材1Aが配置されたフレーム構造体20を用いて半導体装置の製造を行うことにより、半導体装置の製造プロセスにおけるフィルム基材1Aの搬送性が向上すると共に、ハンドリング性が向上する。

【0075】(6) サランナー部に、フレーム構造体20の枠体21が装着される段差部39及びフレーム構造体20のフィルム基材1Aが装着される段差部40を有する成形金型を用いたトランスファモールド法で樹脂封止体14を形成することにより、フィルム基材1A及び枠体21に付着する樹脂バリを防止できるので、封止及び切断時に発生する異物を低減できる。

【0076】(7) フレーム構造体20の枠体21内にランナー樹脂41を残した状態で、バンパ電極15の接続を行うことにより、フレーム構造体20を多段に積み重ねた場合、上段のフレーム構造体20と下段のフレーム構造体20との間の隙間を上段のフレーム構造体20に設けられたサランナー樹脂41で確保することができ、下段のフレーム構造体20で製造された半導体装置のバンパ電極15を保護できる。従って、フレーム構造体20を多段に積み重ねた状態で搬送することができるので、フレーム構造体20の搬送性が向上する。また、半導体装置の製造プロセスにおける生産合理性が向上する。

【0077】(8) バンパ接続用電極パッド2上に絶縁膜9が配置されているので、ベース基板(フィルム基材1A)1の一表面のチップ搭載領域上に接着材12を介在して半導体チップ10を搭載する際、半導体チップ10が傾いた状態で搭載されたり、接着材12の膜厚が薄くなっても、半導体チップ10がバンパ接続用電極パッド2に接触しないので、バンパ接続用電極パッド2と半導体チップ10との短絡、即ち、配線導体と半導体チップ10との短絡を防止できる。

【0078】また、半導体チップ10が傾いた状態で搭載されたり、接着材12の膜厚が薄くなっても、半導体チップ10は絶縁膜9に接触し、この絶縁膜9によって支持されるので、配線3と半導体チップ10との短絡、即ち、配線導体と半導体チップ10との短絡を防止できる。

【0079】(9) 枠体21の接着領域にスリット23を設けることにより、枠体21とフィルム基材1Aとの材料の違いによる応力を低減できるので、フィルム基材1Aの反り、歪み等の変形を抑制できる。

【0080】なお、前述の実施形態では、ベース基板1のチップ搭載領域において、バンパ接続用電極パッド2上に絶縁膜9を形成した例について説明したが、絶縁膜9は配線3上に形成してもよい。また、絶縁膜9はバンパ接続用電極パッド2上及び配線3上に形成してもよい。これらの場合、ベース基板(フィルム基材1A)1の一表面のチップ搭載領域上に接着材12を介在して半導体チップ10を搭載する際、半導体チップ10が傾いた状態で搭載されたり、接着材12の膜厚が薄くなっても、前述の実施形態と同様に、バンパ接続用電極パッド2及び配線3と半導体チップ10との短絡、即ち、配線導体と半導体チップ10との短絡を防止できる。

【0081】また、図21(半導体装置の要部断面図)及び図22(ベース基板の平面図)に示すように、ベース基板1の一表面の周辺領域であって、半導体チップ10とワイヤ接続用電極パッド4との間の領域に形成された配線3上に絶縁膜9が配置されるように、ベース基板1上において絶縁膜9を複数個に分割してもよい。この場合、配線3にワイヤ13が接触しないので、ワイヤ13とこのワイヤ13に電気的に接続された配線3に隣接する他の配線3との短絡、即ち配線導体とワイヤ13との短絡を防止できる。

【0082】また、図23(ベース基板の平面図)及び図24(半導体装置の要部断面図)に示すように、ベース基板1上において絶縁膜9を配線導体毎に分割し、ワイヤ接続用電極パッド4を除いた配線導体(バンパ接続用電極パッド2、配線3、メッキ用配線5)の全域に絶縁膜9を形成してもよい。この場合、半導体装置の製造プロセスにおいて、配線導体間に導電性異物が付着しても、配線導体に導電性異物が接触しないので、配線導体間の短絡を防止できる。

【0083】また、図25(ベース基板の平面図)に示すように、ベース基板1上において絶縁膜9を複数個に分割し、この絶縁膜9を配線導体上に配置してもよい。複数の絶縁膜9の夫々は、平面が方形で形成され、所定の間隔を置いて行列状に配置される。

【0084】また、図26(ベース基板の平面図)に示すように、ベース基板1上において絶縁膜9を複数個に分割し、この絶縁膜9を配線導体上に配置してもよい。複数の絶縁膜9の夫々は、長尺状に形成され、所定の間隔を置いた状態にて放射状に配置される。

【0085】また、前述の実施形態では、ベース基板1の裏面側に配置される電極として、球状のバンパ電極15を用いた例について説明したが、電極としては、ボールボンディング法で形成されるスタッドバンパのような突起電極又は平坦な電極を用いてもよい。

【0086】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0087】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0088】可撓性フィルムからなるベース基板を有する半導体装置において、ベース基板の変形(反り、歪み)を抑制できる。

【0089】可撓性フィルムからなるベース基板を有する半導体装置において、ベース基板の変形を抑制できる共に、ベース基板の配線導電体と半導体チップとの短絡を防止できる。

【0090】可撓性フィルムからなるベース基板を有する半導体装置において、ベース基板の変形を抑制できる共に、ベース基板の配線導電体とワイヤとの短絡を防止できる。

【図面の簡単な説明】

【図1】本発明の一実施形態である半導体装置の平面図である。

【図2】図1に示すA-A線の位置で切った拡大断面図である。

【図3】図2の要部拡大断面図である。

【図4】前記半導体装置の樹脂封止体を除去した状態の平面図である。

【図5】ベース基板の平面図である。

【図6】前記半導体装置の要部拡大断面図である。

【図7】前記半導体装置の製造プロセスで使用されるフレーム構造体の要部平面図である。

【図8】図7に示すB-B線の位置で切った拡大断面図である。

【図9】前記フレーム構造体の製造方法を説明するための要部断面図である。

【図10】前記フレーム構造体の製造方法を説明するための要部断面図である。

【図11】前記半導体装置の製造方法を説明するための要部断面図である。

【図12】前記半導体装置の製造方法を説明するための要部断面図である。

【図13】前記半導体装置の製造方法を説明するための要部断面図である。

05 【図14】前記半導体装置の製造方法を説明するための要部断面図である。

【図15】前記半導体装置の製造方法を説明するための要部平面図である。

10 【図16】前記半導体装置の製造方法を説明するための要部平面図である。

【図17】前記半導体装置の製造方法を説明するための要部断面図である。

【図18】前記フレーム構造体を多段に積み重ねた状態を示す概略構成図である。

15 【図19】前記フレーム構造体の製造方法を説明するための要部断面図である。

【図20】前記フレーム構造体の製造方法を説明するための要部断面図である。

20 【図21】本発明の一実施形態である半導体装置の第1変形例を示す要部断面図である。

【図22】本発明の一実施形態である半導体装置の第1変形例を示すベース基板の平面図である。

【図23】本発明の一実施形態である半導体装置の第2変形例を示すベース基板の平面図である。

25 【図24】図23に示すベース基板を用いた半導体装置の要部断面図である。

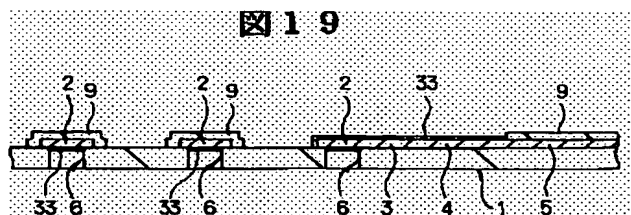
【図25】本発明の一実施形態である半導体装置の第3変形例を示すベース基板の平面図である。

30 【図26】本発明の一実施形態である半導体装置の第4変形例を示すベース基板の平面図である。

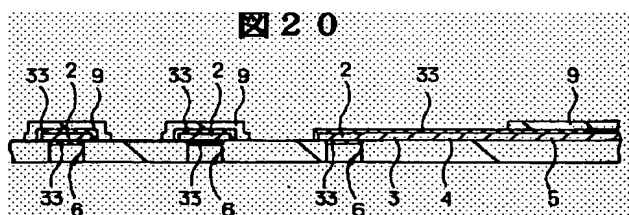
【符号の説明】

1…ベース基板、1A…フィルム基材、2…バン接続用電極パッド、3…配線、4…ワイヤ接続用電極パッド、5…メッキ用配線、6…接続孔、7…ベントホール、8…ダム、9…絶縁膜、10…半導体チップ、11…外部端子、12…接着材、13…ワイヤ、14…樹脂封止体、20…フレーム構造体、21…枠体、22…樹脂封止領域、23…スリット、24…接着材、37…サブランナー、39、40…段差部、41…サブランナー樹脂、42…メインランナー樹脂。

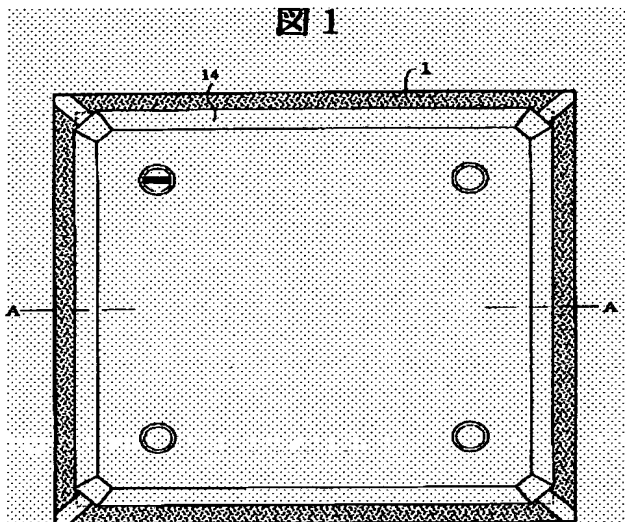
【図19】



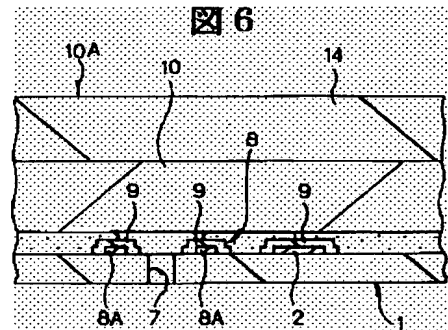
【図20】



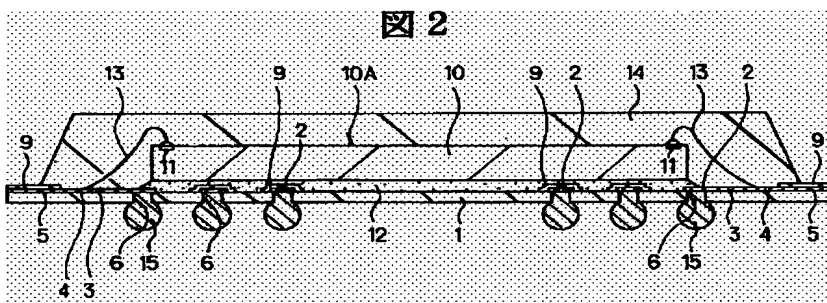
【図1】



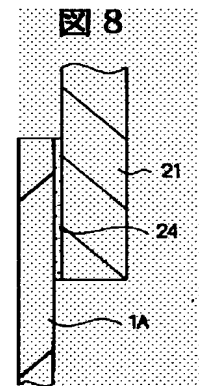
【図6】



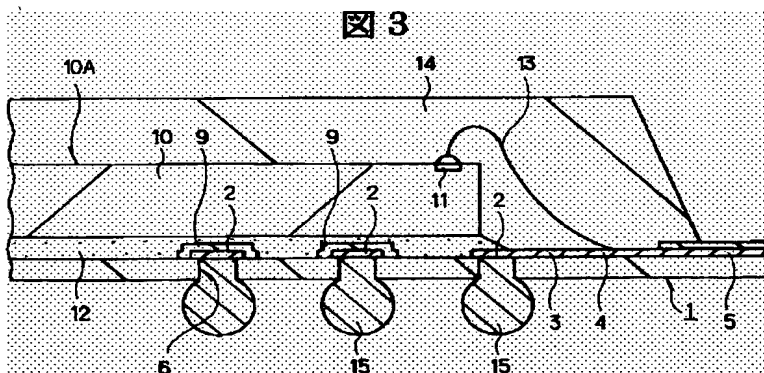
【図2】



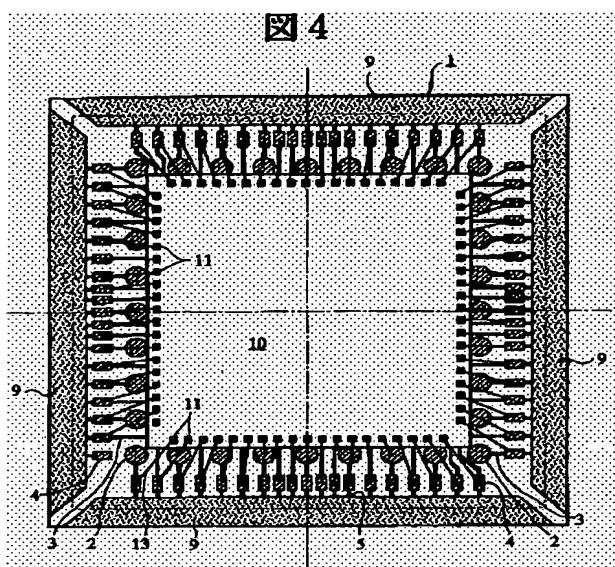
【図8】



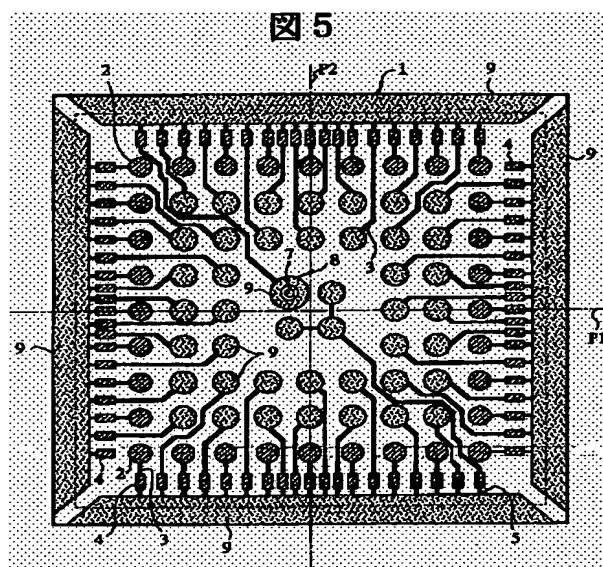
【図3】



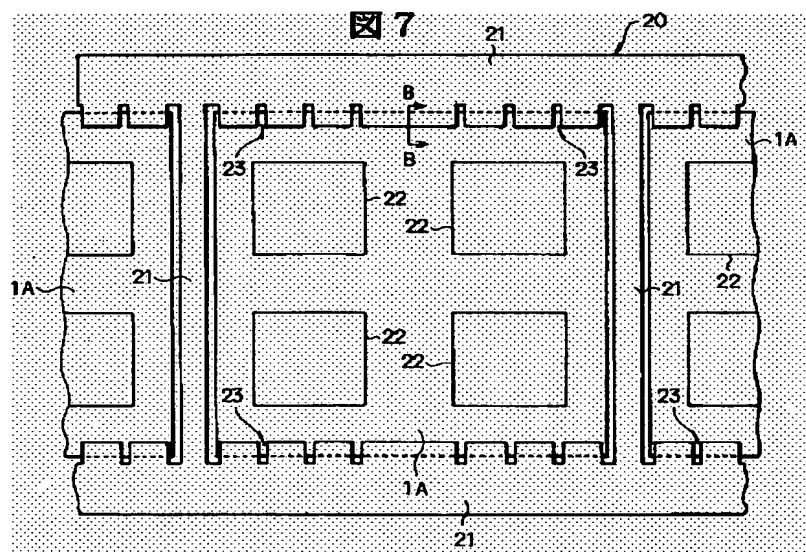
【図4】



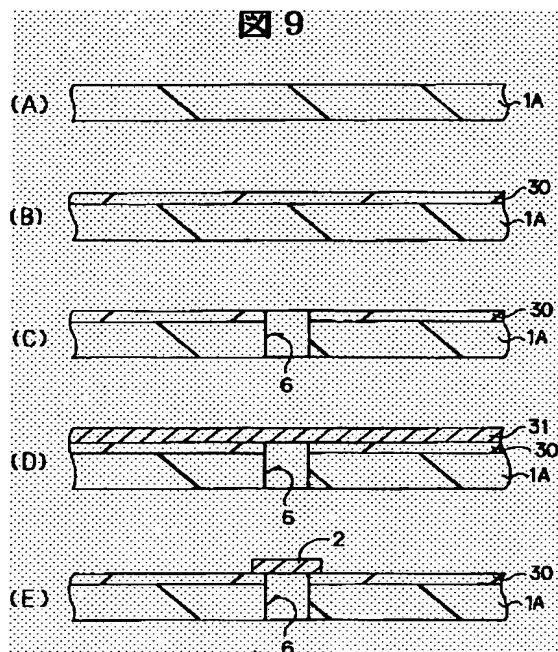
【図5】



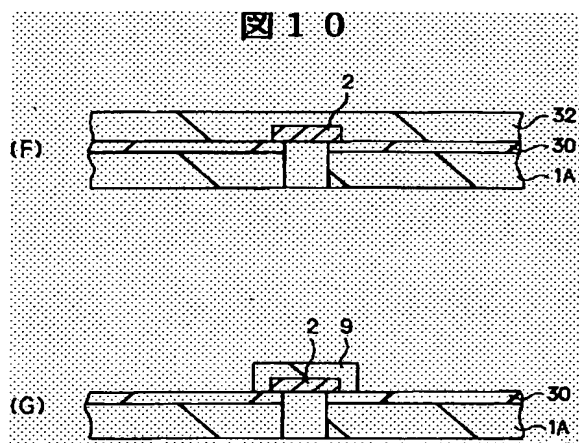
【図7】



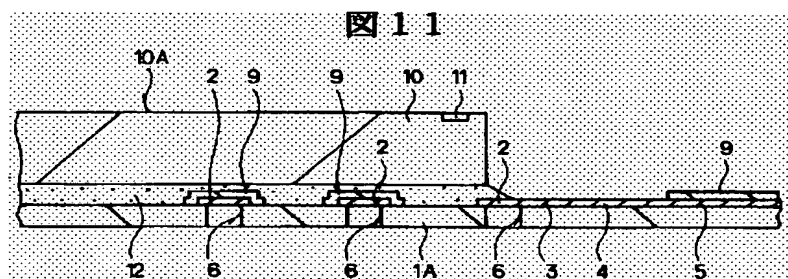
【図9】



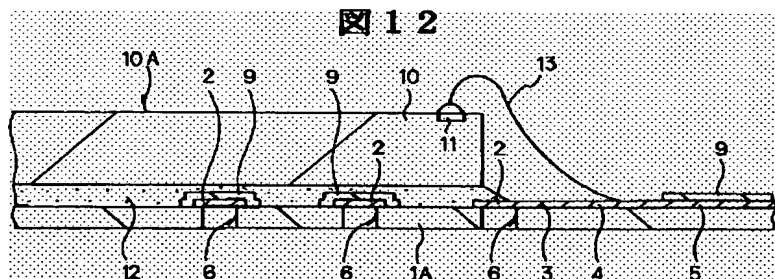
【図10】



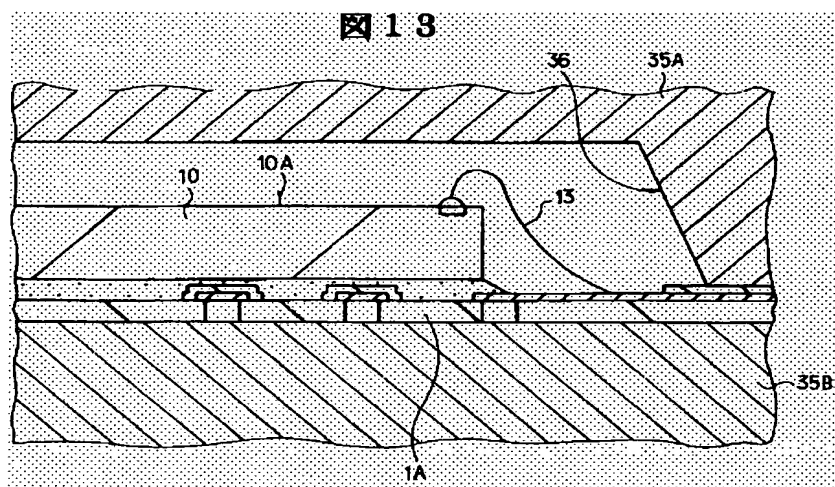
【図11】



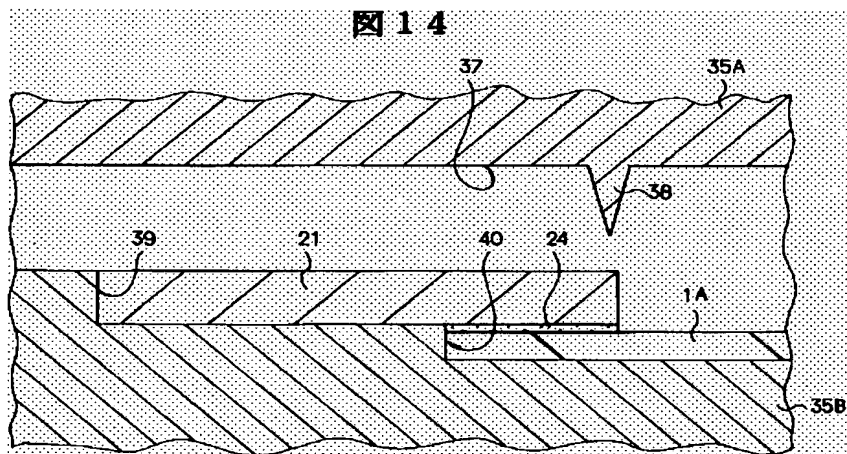
【図12】



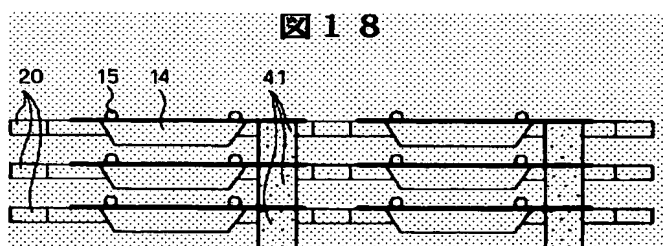
【図13】



【図14】

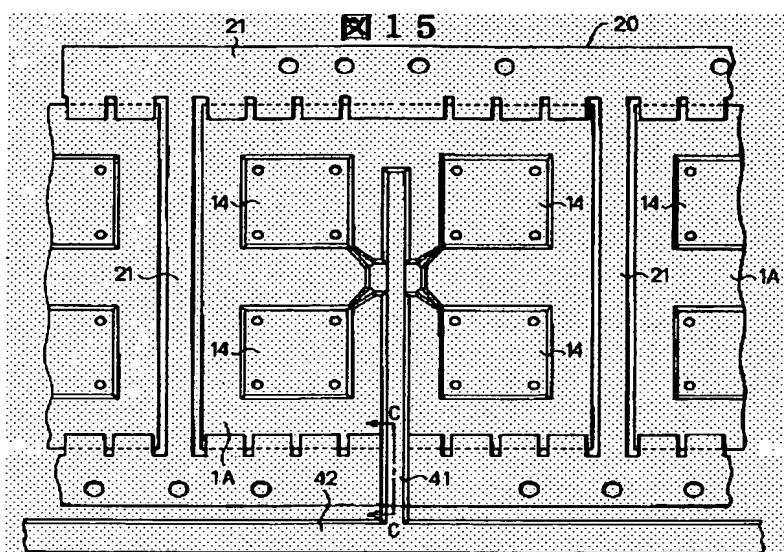


【図18】

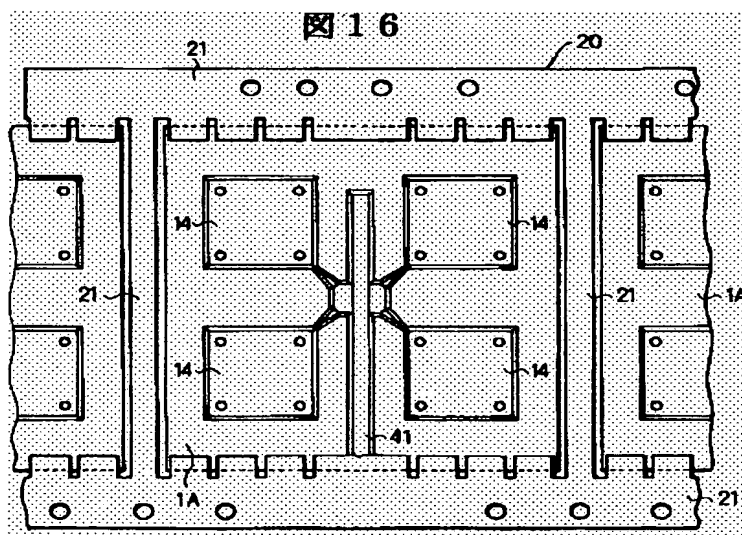




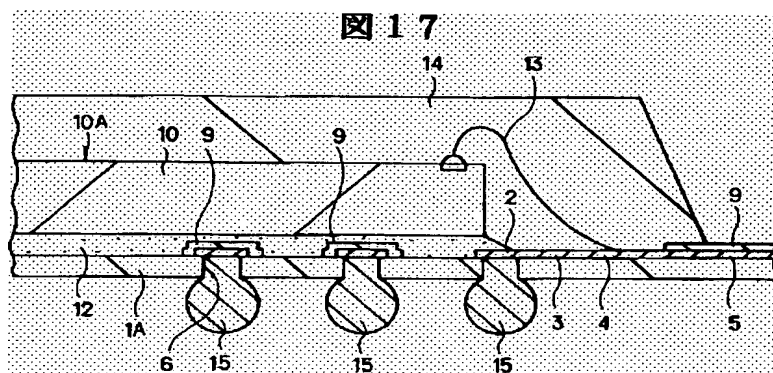
【図15】



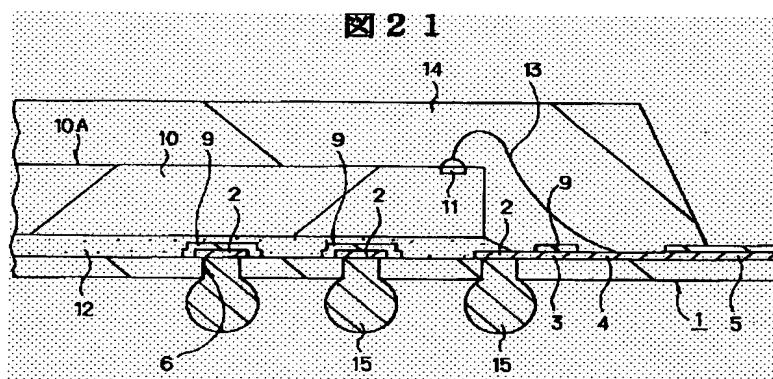
【図16】



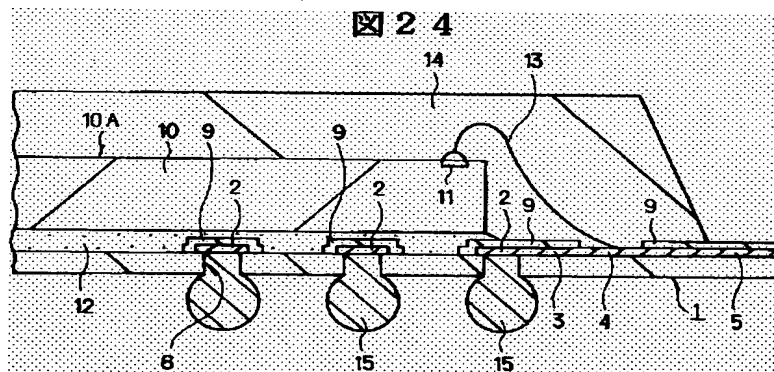
【図17】



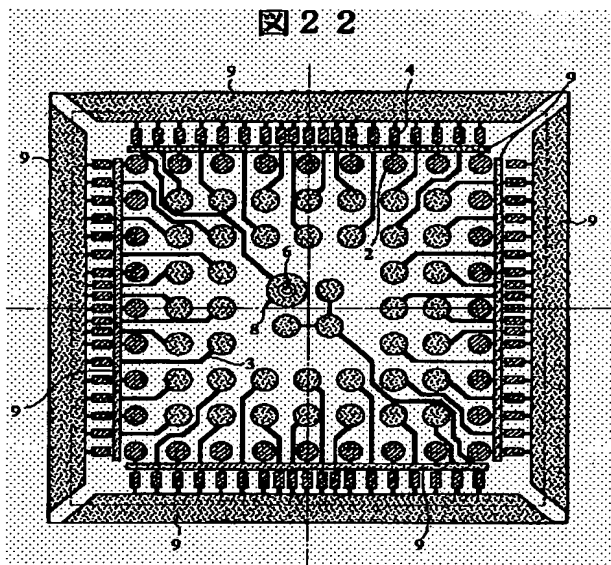
【図21】



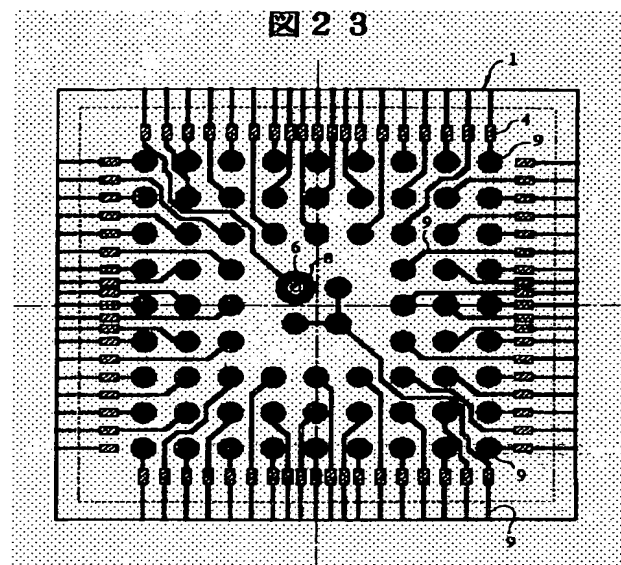
【図24】



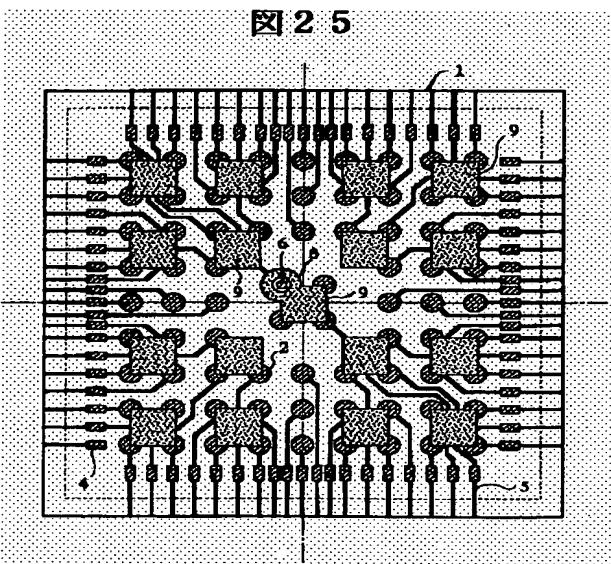
【図22】



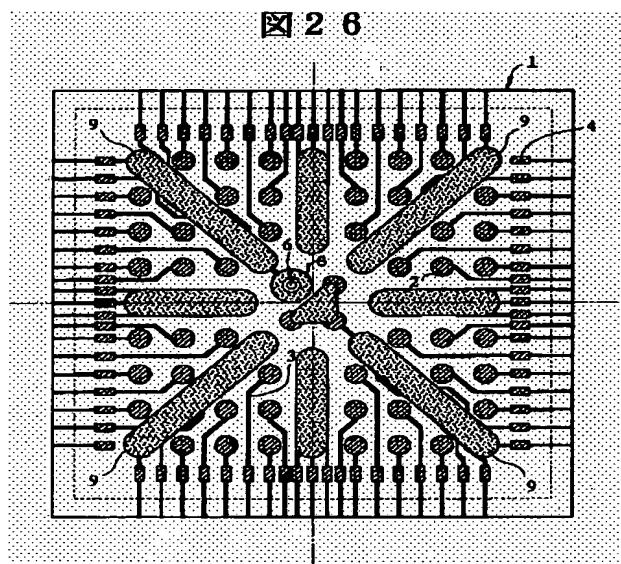
【図23】



【図25】



【図26】



フロントページの続き

(72)発明者 大坂 慎悟  
北海道亀田郡七飯町字中島145番地 日立  
北海セミコンダクタ株式会社内

(72)発明者 春田 亮  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 一谷 昌弘

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内